Dogaru Raluca-Petruta

Etapa 3 VLSI

Pentru etapa a treia am ales proiectarea unui Full Adder pe 4 biti. Am implementat initial in Dsch un sumator pe 1 bit si l-am exportat ca symbol pentru a il folosi in Full Adderul pe 4 biti. Am folosit codul Verilog generat pentru a obtine mastile si simularea in Microwind.

Am atasat screenshot-uri cu fiecare dintre acestea.